

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Makoto TAKAHASHI

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: December 1, 2003

Examiner: Not yet assigned

Title: SEMICONDUCTOR MEMORY DEVICE WITH IMPROVED
PRECHARGE TIMING

EXPRESS MAIL NUMBER: EV 302277951 US

DATE OF DEPOSIT: December 1, 2003

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NO.

MONTH/DAY/YEAR

Japan

2002-348927

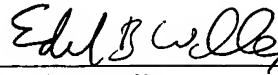
November 29, 2002

A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: December 1, 2003

By 
Edward B. Weller
Reg. No. 37,468
Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001



035 1275

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 4 8 9 2 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 4 8 9 2 7]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 9 月 2 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



出 証 番 号 出 証 特 2 0 0 3 - 3 0 7 1 5 5 3

【書類名】 特許願

【整理番号】 A000104595

【提出日】 平成14年11月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体記憶装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 高橋 誠

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

 【識別番号】 100068814

 【弁理士】

 【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 行及び列に配列された複数のメモリセル及び前記メモリセルに接続されたビット線及びワード線を有するメモリセルアレイと、

少なくとも前記行を活性化するためのアクティブ信号、及びクロック信号を受け、前記アクティブ信号に基づき前記ビット線をプリチャージするためのプリチャージ信号を生成するコマンドバッファ回路と

を具備することを特徴とする半導体記憶装置。

【請求項 2】 前記コマンドバッファ回路は、

前記クロック信号に応じて前記アクティブ信号をラッチするラッチ回路と、

前記ラッチ回路にラッチされた前記アクティブ信号に対応して前記プリチャージ信号を生成する論理回路と、

前記論理回路から出力されるプリチャージ信号を遅延し、内部アクティブ信号を生成する遅延回路と

を具備することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ワード線の電位をモニタし、前記ワード線のプリチャージ期間を検出する検出回路と、

前記アクティブ信号及び前記検出回路の検出出力信号に応じて、所望のワード線を活性化しアクティブ動作を行う回路手段と

を具備することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 行及び列に配列された複数のメモリセル及び前記メモリセルに接続されたビット線及びワード線を有するメモリセルアレイと、

少なくとも前記行を活性化するためのアクティブ信号、及びクロック信号を受け、前記アクティブ信号に基づき内部アクティブ信号を生成するコマンドバッファ回路と、

前記コマンドバッファ回路から出力される前記アクティブ信号に応じて前記ビット線をプリチャージするためのプリチャージ信号を生成するとともに、前記ワード線が選択されている時間を制御する制御回路を具備することを特徴とする半

導体記憶装置。

【請求項 5】 前記制御回路は、前記アクティブ信号に応じてクロック信号を予め設定された値までカウントするカウンタと、

前記カウンタのカウント値が予め設定された値となったとき、前記カウンタの出力信号に応じて前記プリチャージ信号を生成する回路と

を具備することを特徴とする請求項 4 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体記憶装置、例えばダイナミックランダムアクセスメモリ（D R A M）に係わり、特に、そのプリチャージに関する。

【0 0 0 2】

【従来の技術】

半導体記憶装置、例えば D R A M は、通常ワード線を非活性化した状態で、ビット線をプリチャージするための外部コマンド信号、すなわちプリチャージコマンド信号を有している。このため、D R A M はプリチャージコマンド信号を受けるピンを有している。

【0 0 0 3】

図 9 は、従来の D R A M の構成を概略的に示している。この D R A M は、アドレスバッファ回路 1、コマンドバッファ回路 2、行（ロウ）及び列（カラム）に複数のメモリセルが配置されたメモリセルアレイ 3 を有している。アドレスバッファ回路 1 は、アドレス信号 A d d を受け、内部アドレス信号 A d d x を出力する。コマンドバッファ回路 2 は、クロック信号 C L K に応じてプリチャージコマンド信号 P R C、アクティブコマンド信号 A C T、リフレッシュコマンド信号 R E F、ライト／リードコマンド信号 W／R を受け、各コマンド信号に対応する内部プリチャージコマンド信号 P R C x、内部アクティブコマンド信号 A C T x、内部リフレッシュコマンド信号 R E F x、内部ライト／リードコマンド信号 W／R x を出力する。プリチャージコマンド信号 P R C はビット線のプリチャージを実行させるためのコマンドであり、アクティブコマンド信号 A C T はロウを活性

化するためのコマンドである。リフレッシュコマンド信号はメモリセルのリフレッシュを実行させるためのコマンドであり、ライト／リードコマンド信号W／Rはデータの書き込み／読み出しを実行させるためのコマンドである。メモリセルアレイ 3 は、コマンドバッファ回路 2 から供給される各内部コマンド信号に応じてアドレスバッファ回路 1 からのアドレス信号を受け、所要のメモリセルを選択してデータの書き込み又は読み出し等の動作を行う。

【 0 0 0 4 】

上記のように、DRAMはクロック信号CLKに応じて各種のコマンド信号を外部から受けている。なかでもプリチャージコマンド信号PRCはDRAM内部でのタイミング制御において重要な役割を担っている。

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、DRAMの動作が高速化されるに従い、クロック信号CLKに応じて全ての外部コマンドを入力することが時間的に困難になる。

【 0 0 0 6 】

すなわち、図 1 0 に示すように、クロック信号CLKに対してDRAMの動作に余裕がある場合、つまり、アクティブコマンド信号ACTから次のアクティブコマンド信号ACTまでの時間 t_{RC} がクロック信号CLKのサイクルに対して充分長い場合、タイミングに余裕がある。このため、アクティブコマンド信号ACTから次のアクティブコマンド信号ACTの間にプリチャージコマンドPRCを受けることが可能である。

【 0 0 0 7 】

しかし、図 1 1 に示すようにクロック信号CLKのサイクルに対して時間 t_{RC} が短くなるとプリチャージコマンド信号PRCを外部から入力するタイミングがなくなる。

【 0 0 0 8 】

そこで、プリチャージコマンド信号PRCを外部から入力せず、内部でプリチャージタイミングを制御することが考えられている。しかし、図 1 1 に示すように、アクティブコマンド信号ACTから次のアクティブコマンド信号ACTまで

にプリチャージを開始するような制御を自動的に行う必要がある。この制御を行うために例えばタイマが必要であるが、高精度のタイマを作成することが難しく、プリチャージ開始タイミングを正確に制御することが困難であった。

【0009】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、プリチャージのタイミングを正確に制御することが可能な半導体記憶装置を提供しようとするものである。

【0010】

【課題を解決するための手段】

本発明の半導体記憶装置は、上記課題を解決するため、行及び列に配列された複数のメモリセル及び前記メモリセルに接続されたビット線及びワード線を有するメモリセルアレイと、少なくとも前記行を活性化するためのアクティブ信号、及びクロック信号を受け、前記アクティブ信号に基づき前記ビット線をプリチャージするためのプリチャージ信号を生成するコマンドバッファ回路とを具備している。

【0011】

また、本発明は、行及び列に配列された複数のメモリセル及び前記メモリセルに接続されたビット線及びワード線を有するメモリセルアレイと、少なくとも前記行を活性化するためのアクティブ信号、及びクロック信号を受け、前記アクティブ信号に基づき内部アクティブ信号を生成するコマンドバッファ回路と、前記コマンドバッファ回路から出力される前記アクティブ信号に応じて前記ビット線をプリチャージするためのプリチャージ信号を生成するとともに、前記ワード線が選択されている時間を制御する制御回路を具備している。

【0012】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

【0013】

(第1の実施形態)

図1乃至図5は、本発明の第1の実施形態を示している。第1の実施形態の特

徴は、プリチャージコマンド信号を外部から取り込まず、コマンドバッファ回路においてアクティブコマンド信号ACTに同期して生成している。このため、このDRAMは外部からプリチャージコマンド信号を受けるピンを有していない。さらに、このDRAMの動作サイクルはプリチャージから始まる点に特徴を有している。

【0014】

図1は、第1の実施形態に係るDRAMの構成を概略的に示している。このDRAMは、アドレスバッファ回路11、コマンドバッファ回路12、及びメモリセルアレイ13を有している。アドレスバッファ回路11は、アドレス信号Addを受け、内部アドレス信号Addxを出力する。コマンドバッファ回路12は、クロック信号CLKに応じて外部よりアクティブコマンド信号ACT、リフレッシュコマンド信号REF、ライト／リードコマンド信号W／Rを受ける。このコマンドバッファ回路12は、アクティブコマンド信号ACTに対応して、内部プリチャージコマンド信号PRCx、及び内部アクティブコマンド信号ACTxを生成し、リフレッシュコマンド信号REF、ライト／リードコマンド信号W／Rに対応して内部リフレッシュコマンド信号REFx、内部ライト／リードコマンド信号W／Rxをそれぞれ生成する。メモリセルアレイ13は、行及び列に複数のメモリセルが配置され、コマンドバッファ回路12から供給されるプリチャージコマンド信号PRC及び各内部コマンド信号、及びアドレスバッファ回路11からのアドレス信号に応じて所要のメモリセルを選択し、データの書き込み又は読み出し等の動作を行う。

【0015】

図2は、コマンドバッファ回路12の一部を示すものであり、プリチャージコマンド信号と内部アクティブコマンド信号ACTxの生成部を示している。図2において、外部から供給されるアクティブコマンド信号ACT及びクロック信号CLKはラッチ回路12aに供給される。このラッチ回路12aは、クロック信号CLKに応じてアクティブコマンド信号ACTをラッチする。このラッチ回路12aの出力信号及びクロック信号CLKは、論理回路12bに供給される。この論理回路12bは、例えばナンド回路とインバータ回路の直列回路により構成

されている。この論理回路 12b の出力信号は、ドライバ 12c に供給され、このドライバ 12c の出力端からプリチャージコマンド信号 PRC が出力される。また、論理回路 12b の出力信号は、所定の遅延時間を有する遅延回路 12d、及びドライバ 12e に順次供給され、このドライバ 12e から内部アクティブコマンド信号 ACT_x が出力される。このため、内部アクティブコマンド信号 ACT_x は、プリチャージコマンド信号 PRC より、遅延回路 12d の遅延時間分だけ遅延されている。

【0016】

図 3 (a) は、メモリセルアレイ 13 と、その周辺回路を示している。メモリセルアレイ 13 の周囲には、ロウ制御部 13a、ロウデコーダ 13b、及びセンスアンプ 13c が配置されている。

【0017】

前記ロウ制御部 13a は、前記アドレスバッファ回路 1 からのロウアドレス信号、前記コマンドバッファ回路 2 からの内部アクティブコマンド信号 ACT_x、及び内部プリチャージコマンド信号 PRC_x を受ける。前記ロウデコーダ 13b は、ロウ制御部 13a から供給されるロウアドレス信号をデコードし、所要のワード線 WL を選択する。

【0018】

前記ワード線 WL には、例えばトランジスタ及びキャパシタからなるメモリセル MC が接続されている。前記ビット線 BL、 \neg BL (\neg は反転信号を示す) の相互間には、ビット線 BL、 \neg BL を電源電圧 VDD の 1/2 にプリチャージするプリチャージ (PRC) 回路 13d が接続されている。前記センスアンプ 13c は、ビット線 BL、 \neg BL の電位を検出する。

【0019】

図 3 (b) は、ロウ制御部 13a、ロウデコーダ 13b の構成を概略的に示している。ロウデコーダ 13b には、図示せぬデコード回路の出力信号に応じてワード線を駆動する例えばドライバ 13e、13f が設けられている。

【0020】

ロウ制御部 13a は、プリチャージ動作によってワード線 WL が非選択 (ロー

レベル) となった後、新たなアドレスに対応するワード線を活性化するための制御を行う。すなわち、ロウ制御部 13 a には、アンド回路 13 i が設けられ、このアンド回路 13 i の入力端には、内部アクティブコマンド信号 ACT_x と、ワード線モニタ信号 $WLUP$ が供給される。このワード線モニタ信号 $WLUP$ は、いずれかのワード線が選択されてハイレベルとなっているとき、アクティブとなる信号であり、プリチャージの終了をモニタする。このワード線モニタ信号 $WLUP$ は、ロウデコーダ 13 b に接続された生成回路により生成される。この生成回路 13 j は、例えばロウデコーダ 13 b のドライバ 13 e、13 f の相互間に入力端が接続されたドライバ 13 g、このドライバ 13 g に接続されたインバータ回路 13 h により構成され、インバータ回路 13 h の出力端からワード線モニタ信号 $WLUP$ が出力される。このため、ワード線モニタ信号 $WLUP$ は、ワード線が選択されてハイレベルになるとローレベルとなり、プリチャージが終了したことを示す。また、ワード線が非選択とされローレベルになるとハイレベルとなる。尚、ワード線モニタ信号 $WLUP$ の生成回路は、上記構成に限定されるものではない。

【0021】

前記アンド回路 13 i の出力信号 ACT_x は、内部アクティブコマンド信号 ACT_x がハイレベルでワード線モニタ信号 $WLUP$ がハイレベルの時、すなわち、プリチャージ期間にハイレベルとなる。この信号 ACT_x に応じて、新たなアドレスに対応するワード線が活性化され、データの書き込み、読み出し動作が行われる。

【0022】

図 4 は、図 2 に示すコマンドバッファ回路 12 の動作を示している。図 4 に示すように、アクティブコマンド信号 ACT に応じてプリチャージコマンド信号 PRC が生成されると、このプリチャージコマンド信号 PRC に応じて即座にプリチャージが開始される。さらに、プリチャージを開始する時、ワード線 WL が非活性とされ、プリチャージが終了するとワード線 WL が活性化される。ワード線モニタ信号 $WLUP$ は、ワード線が活性化されたこと、すなわち、プリチャージの終了をモニタする。ワード線モニタ信号 $WLUP$ により、プリチャージ終了が

検知されると、当該サイクルの要求されたワード線が活性化され、ワード線モニタ信号WLUPはワード線が活性化されたことを示す。さらに、クロック信号CLKの次のサイクルでは、プリチャージから動作が開始される。

【0023】

図5は、データの読み出し時における動作を示している。プリチャージコマンド信号PRCxに応じてプリチャージが実行されると、ビット線BL、/BLは例えばVDD/2にプリチャージされる。この状態において、ワード線WLが選択されると、ワード線WLワード線モニタ信号WLUPがローレベルとなり、ビット線BL、/BLの電位は、メモリセルに記憶されたデータに応じて変化する。このビット線BL、/BLの電位は、センスアンプ13cにより検知増幅される。この後、次のサイクルのプリチャージコマンド信号PRCxによりプリチャージが実行される。さらに、内部アクティブコマンド信号ACTxがローレベルとなると、ワード線WLが非選択とされる。プリチャージコマンド信号PRCx、及び内部アクティブコマンド信号ACTxがローレベルの期間Tp dにおいて、ビット線のプリチャージ、及びロウアドレスのデコードが行われる。

【0024】

上記第1の実施形態によれば、プリチャージ信号PRCをアクティブコマンド信号ACTに従って生成している。このため、クロック信号CLKの周波数が高くなった場合においても確実にプリチャージ信号PRCを生成できる。

【0025】

しかも、プリチャージ信号PRCと内部アクティブコマンド信号ACTxの両方を、外部から供給される1つのアクティブコマンド信号ACTにより生成することができる。このため、外部からプリチャージコマンド信号を供給する必要がないため、プリチャージコマンド信号を受けるピンを設ける必要がない。

【0026】

また、内部アクティブコマンド信号ACTxはプリチャージ信号PRCより若干遅延され、且つ、ワード線モニタ信号WLUPに応じてビット線のプリチャージが終了した後に内部アクティブコマンド信号ACTxをロウ制御部内に供給し、実際の書き込み又は読み出し動作を開始するようにしている。このため、クロ

ック信号が高速化された場合においても、確実な動作が可能である。

【0027】

さらに、プリチャージコマンド信号 PRC_x 、及び内部アクティブコマンド信号 ACT_x がローレベルの期間 T_{pd} において、ビット線のプリチャージとロウアドレスのデコードをほぼ同時に行っている。このため、高速動作が可能である。

【0028】

(第2の実施形態)

図6は、本発明の第2の実施形態を示している。

【0029】

前記第1の実施形態は、プリチャージ動作からアクティブサイクルが開始されている。ところが、最後のアクティブサイクルが終了した後、外部よりアクティブコマンド信号 ACT が供給されない場合、次のプリチャージ動作までの時間が非常に長くなることが考えられる。この場合、最後に選択されたワード線が選択されたままの状態に保持されることになる。ワード線を選択したまま長時間放置するとトランジスタが劣化し、信頼性を低下させることになる。このため、第2の実施形態は、ワード線が選択されている最長時間を制限する。

【0030】

図6は、第2の実施形態を示しており、第1の実施形態と同一部分には同一符号を付す。図6において、コマンドバッファ回路2から出力されるアクティブコマンド信号 ACT 及び内部プリチャージコマンド信号 PRC_x は制御回路15に供給される。この制御回路15は、ワード線が選択されている最長時間を制限するとともに、ワード線が長時間選択されている場合、内部プリチャージコマンド信号 PRC_x を生成する。すなわち、この制御回路15は、ワード線が選択されてから、所定時間アクティブコマンド信号 ACT がコマンドバッファ回路2に供給されなかった場合、プリチャージコマンド信号 PRC_x を生成する。また、設定された時間内にアクティブコマンド信号 ACT がコマンドバッファ回路2に供給された場合、そのアクティブコマンド信号を優先してプリチャージを開始しアクティブ動作を行う。

【0031】

図7は、制御回路15の一例を示す構成図であり、図2と同一部分には、同一符号を付し異なる部分についての説明する。

【0032】

ラッチ回路12aにラッチされ、論理回路12bの出力端から出力されるアクティブコマンド信号ACTは、クロック信号CLKとともに、例えばカウンタ15aに供給される。このカウンタ15aは、ワード線の最長選択時間をカウントするものであり、アクティブコマンド信号ACTに応じてクロック信号CLKをカウントする。すなわち、このカウンタ15aは、所謂プリセットカウンタであり、このカウンタ15aにはワード線の最大選択時間に相当する値がプリセットされており、カウント値がプリセットされた値に達すると出力信号を発生する。この出力信号はフリップフロップ回路15bの一方入力端に供給される。このフリップフロップ回路15bの他方入力端には、アクティブコマンド信号ACTが供給されている。このフリップフロップ回路15bは、カウンタ15aの出力信号によりセットされ、アクティブコマンド信号ACTによりリセットされる。このフリップフロップ回路15bのセット出力信号は、プリチャージリクエスト信号PRCREQとして、前記クロック信号CLKとともに、ラッチ回路15cに供給される。このラッチ回路15cの出力信号はクロック信号CLKとともに論理回路15dに供給される。この論理回路15dの出力信号は論理回路12bの出力信号とともにオア回路15eに供給される。このオア回路15eの出力信号はドライバ15fを介して内部プリチャージコマンド信号PRCxとして出力される。

【0033】

図8を参照して、上記制御回路15の動作について説明する。コマンドバッファ回路12がアクティブコマンド信号ACTを受け、この信号がラッチ回路12aを介して論理回路12bから出力されると、前述したように、内部プリチャージコマンド信号PRCx、及びこれより若干遅延された内部アクティブコマンド信号ACTxが出力される。これとともに論理回路12bから出力されるアクティブコマンド信号ACTにより、フリップフロップ回路15bがリセットされ、

カウンタ 15 a がカウント動作を開始する。このカウント動作の途中で、次のアクティブコマンド信号 A C T が供給されると、カウンタ 15 a はリセットされ、カウント動作が最初から繰り返される。

【0034】

一方、カウンタ 15 a のカウント値がプリセットされた値に達すると、フリップフロップ回路 15 b がセットされ、このフリップフロップ回路 15 b よりプリチャージリクエスト信号 P R C R E Q が出力される。この信号 P R C R E Q はラッチ回路 15 c 、論理回路 15 d 、オア回路 15 e を介してドライバ 15 f に供給され、このドライバ 15 f より内部プリチャージコマンド信号 P R C x が出力される。このため、選択されているワード線が非選択とされ、プリチャージ動作が実行される。

【0035】

上記第 2 の実施形態によれば、制御回路 15 は、外部から供給されるアクティブコマンド信号 A C T に応じて内部プリチャージコマンド信号 P R C x 、及び内部アクティブコマンド信号 A C T x を確実に生成することができる。しかも、アクティブコマンド信号と次のアクティブコマンド信号との間隔が予め設定された時間より長い場合、自動的に内部プリチャージコマンド信号 P R C x を生成してプリチャージ動作をするとともに、選択状態のワード線を非選択としている。このため、トランジスタの劣化を防止でき、信頼性を向上できる。

【0036】

尚、第 2 の実施形態において、制御回路 15 はカウンタ 15 a を用いて構成した。しかし、これに限らず、例えばプリセットタイマを用いて構成することも可能である。

【0037】

さらに、上記各実施形態は、本発明を D R A M に適用した場合について説明した。しかし、D R A M に限らず、ビット線をプリチャージするメモリに各実施形態を適用することが可能である。

【0038】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論

である。

【0039】

【発明の効果】

以上、詳述したように本発明によれば、プリチャージ開始タイミングを正確に制御することが可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】

第1の実施形態に係る半導体記憶装置を概略的に示す構成図。

【図2】

図1に示すコマンドバッファ回路の一部を示す回路図。

【図3】

図3（a）は、図1に示すメモリセルアレイとその周辺回路を概略的に示す構成図、図3（b）は、図3（a）の要部を概略的に示す回路図。

【図4】

図2に示すコマンドバッファ回路の動作を示すタイミングチャート。

【図5】

図3に示す回路のデータの読み出し時における動作を示すタイミングチャート。

【図6】

本発明の第2の実施形態を示す構成図。

【図7】

図6に示す制御回路の一例を示す回路図。

【図8】

図7に示す回路の動作を示すタイミングチャート。

【図9】

従来のDRAMを概略的に示す構成図。

【図10】

図9の動作を示すタイミングチャート。

【図11】

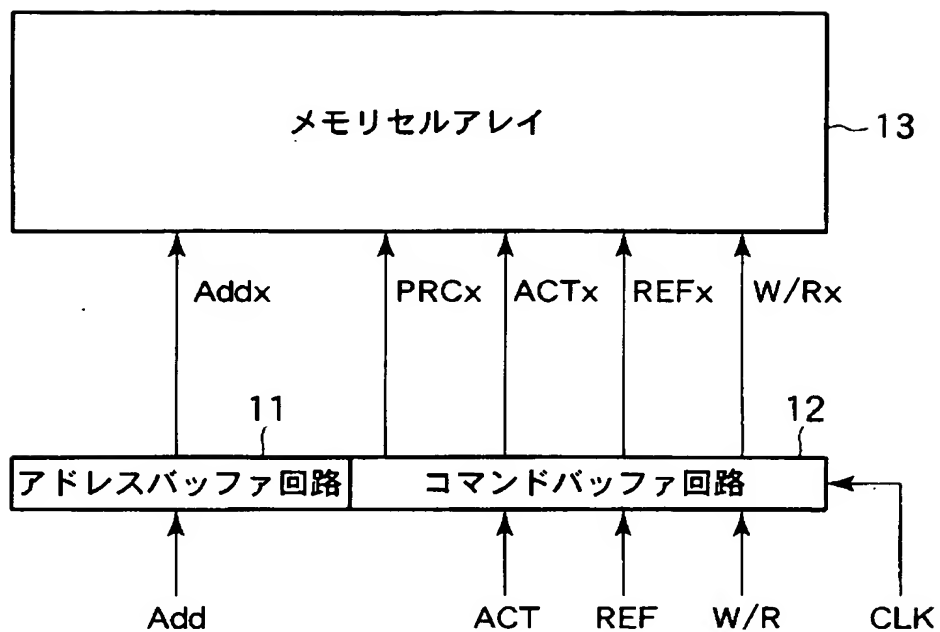
図 9 の別の動作を示すタイミングチャート。

【符号の説明】

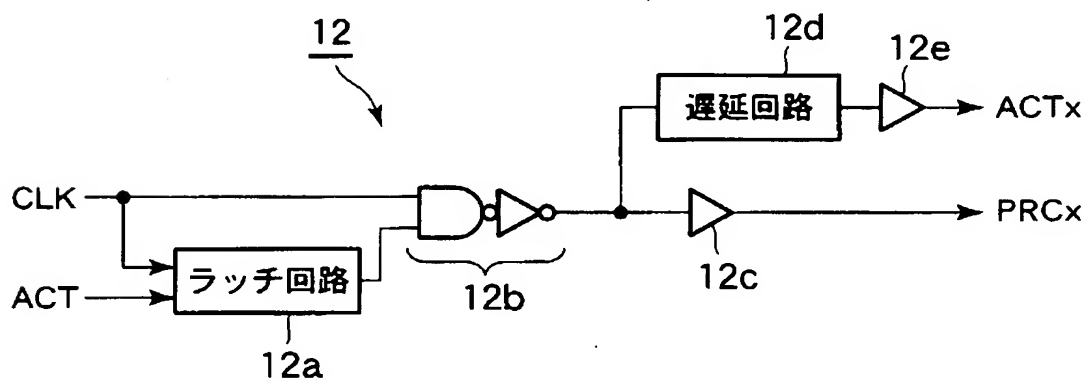
1 1 …アドレスバッファ回路、
1 2 …コマンドバッファ回路、
1 3 …メモリセルアレイ、
1 3 a …ロウ制御部、
1 3 b …ロウデコーダ、
1 3 d …プリチャージ回路、
1 3 h …生成回路、
1 5 …制御回路、
1 5 a …カウンタ、
WL …ワード線、
BL、／BL …ビット線、
／WLUP …ワード線モニタ信号、
ACT …アクティブコマンド信号、
ACT x …内部アクティブコマンド信号、
PRC x …内部プリチャージコマンド信号。

【書類名】 図面

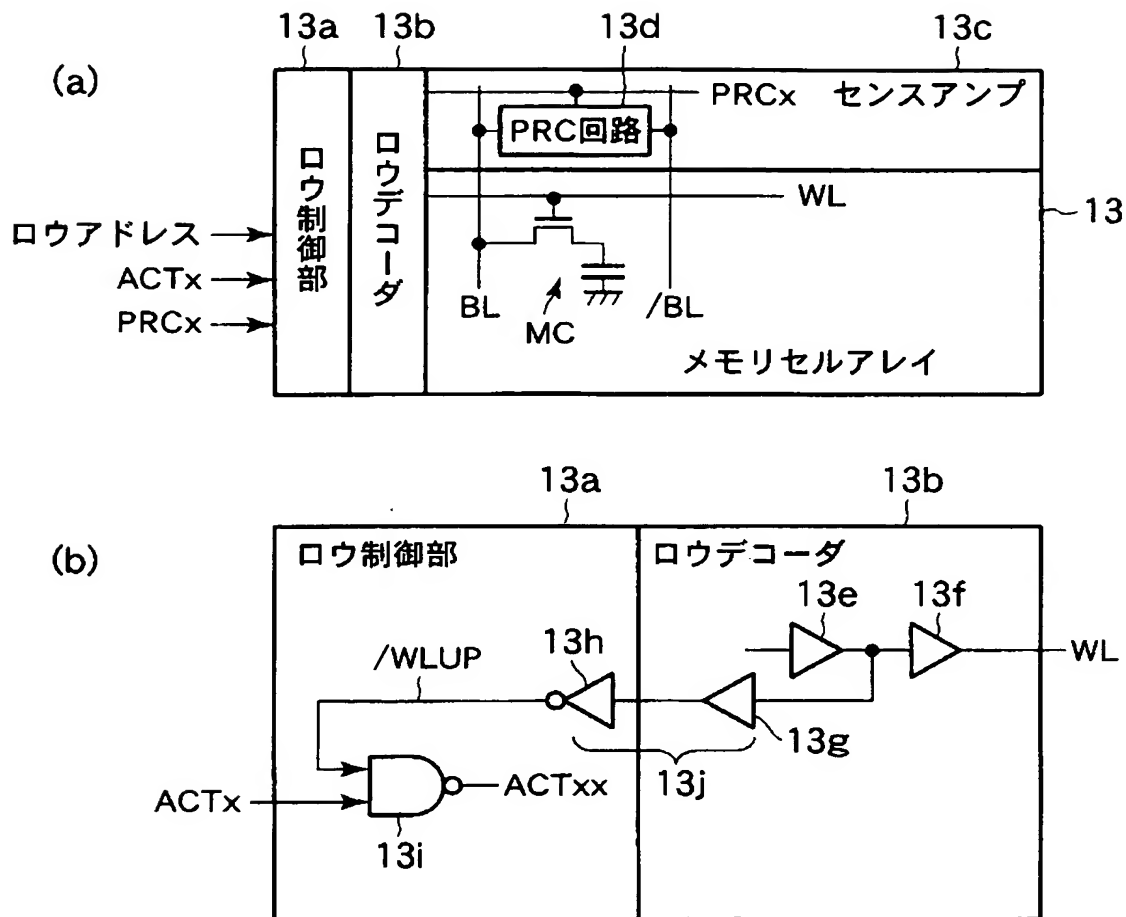
【図 1】



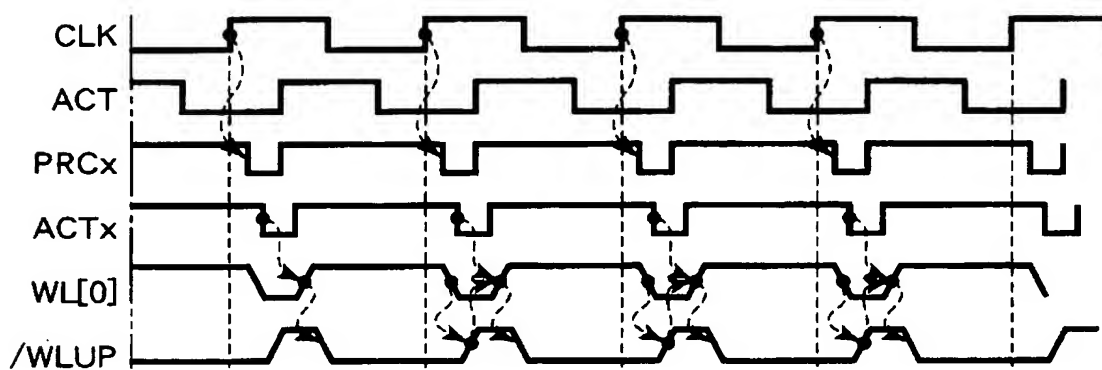
【図 2】



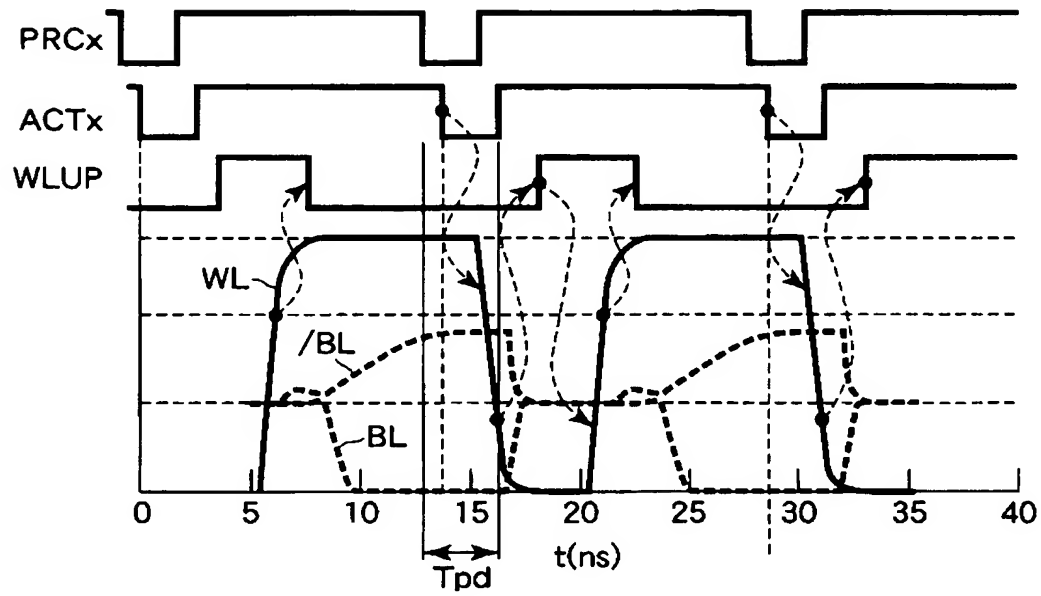
【図 3】



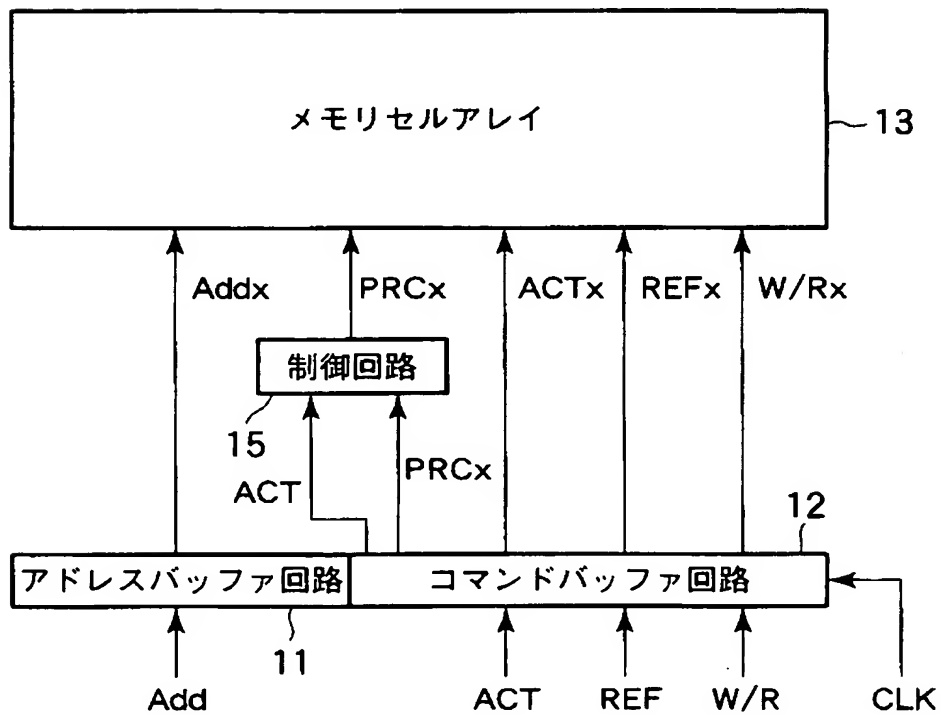
【図 4】



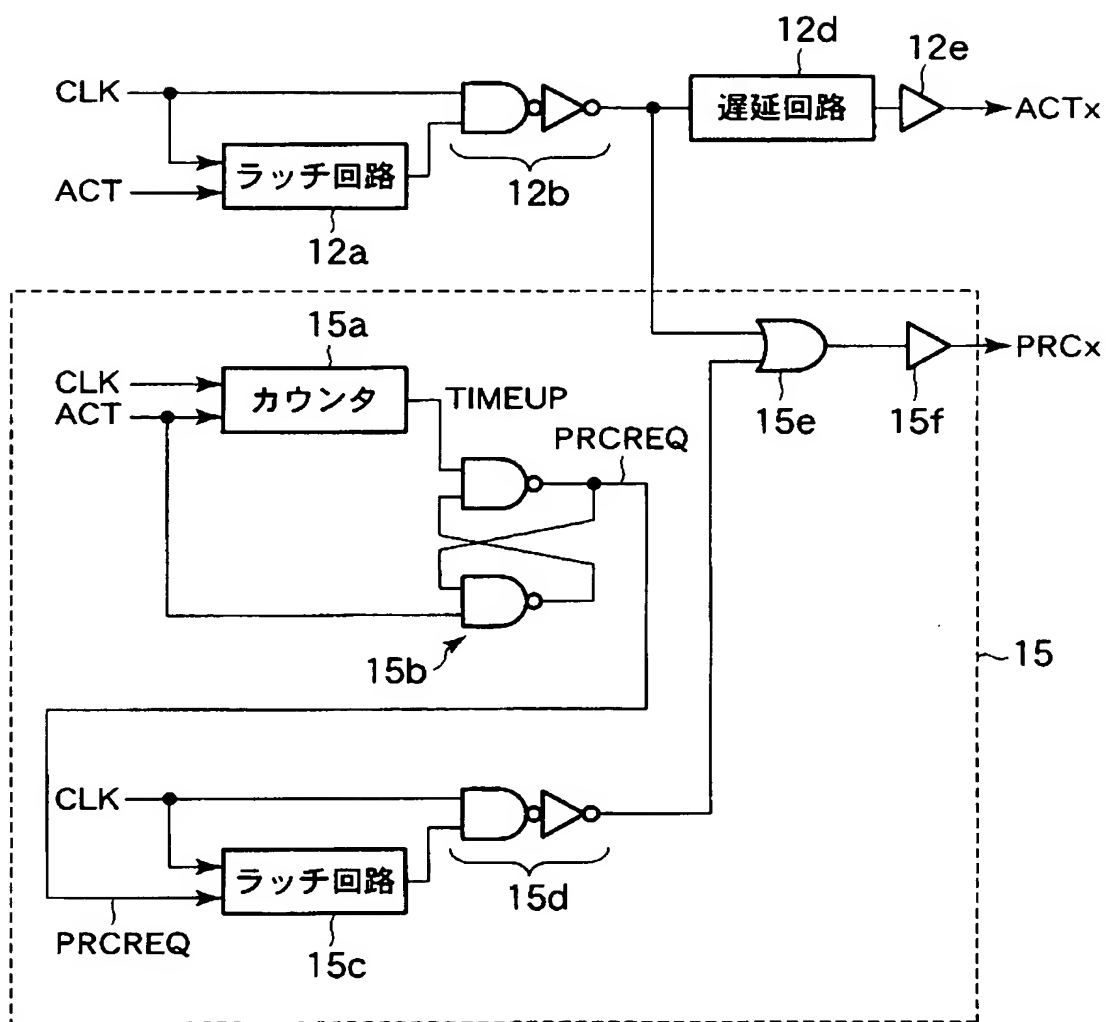
【図 5】



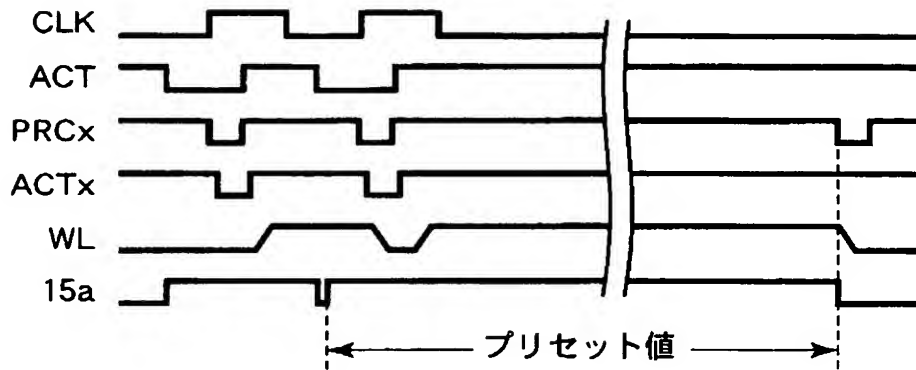
【図 6】



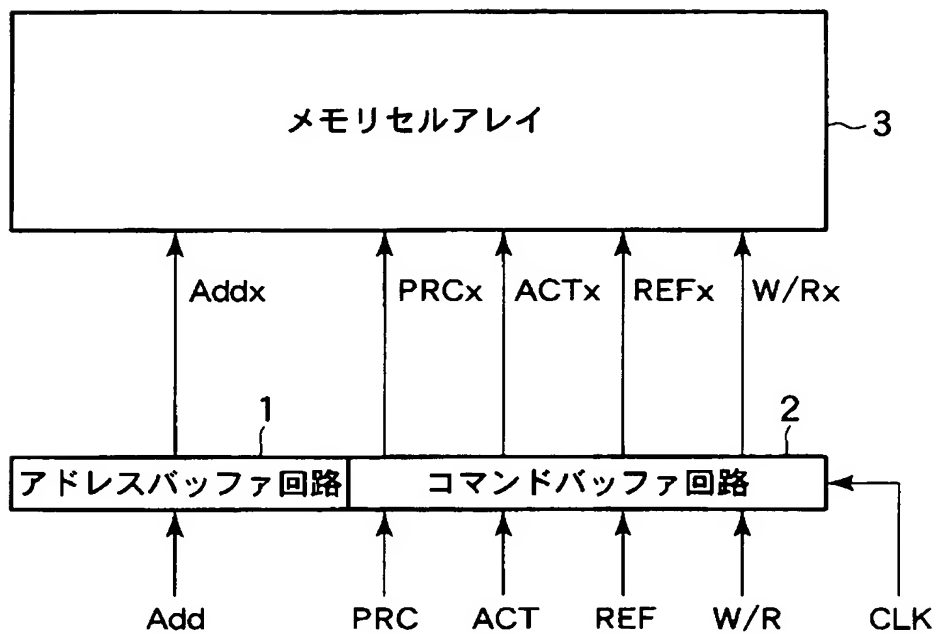
【図 7】



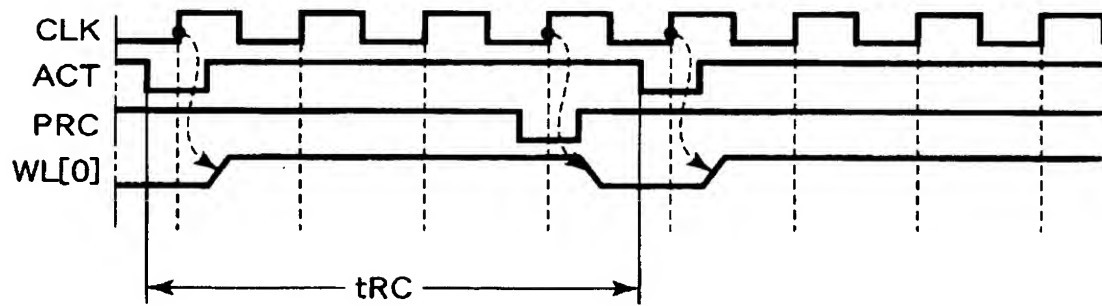
【図 8】



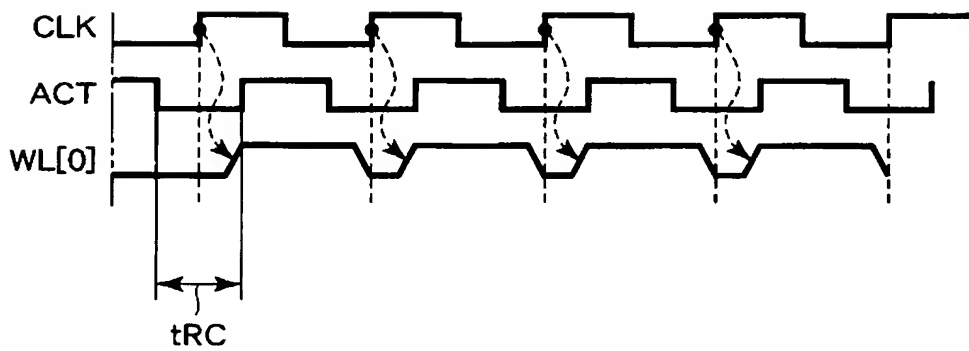
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 プリチャージのタイミングを正確に制御することが困難であった。

【解決手段】 コマンドバッファ回路 1 2 は、クロック信号 C L K に応じて外部からアクティブコマンド信号 A C T を受ける。このコマンドバッファ回路 1 2 は、アクティブコマンド信号 A C T に対応して内部プリチャージコマンド信号 P R C x を生成するとともに、この内部プリチャージコマンド信号 P R C x より若干遅延された内部アクティブコマンド信号 A C T x を生成する。

【選択図】 図 1

特願 2 0 0 2 - 3 4 8 9 2 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 7 2 番地

氏 名

株式会社東芝

2. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝